

⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ **Patentschrift**
⑯ **DE 2828855 C2**

⑯ Int. Cl. 3:
G 11 C 7/00

⑯ Aktenzeichen:
⑯ Anmeldetag:
⑯ Offenlegungstag:
⑯ Veröffentlichungstag:

P 28 28 855.3-53
30. 6. 78
3. 1. 80
18. 11. 82

Eisenführ, Speiser & Partner

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

ENCLOSURE

⑯ Parentinhaber:

Siemens AG, 1000 Berlin und 8000 München, DE

⑯ Erfinder:

Schrenk, Hartmut, Dipl.-Phys. Dr.rer.nat., 8013 Haar, DE

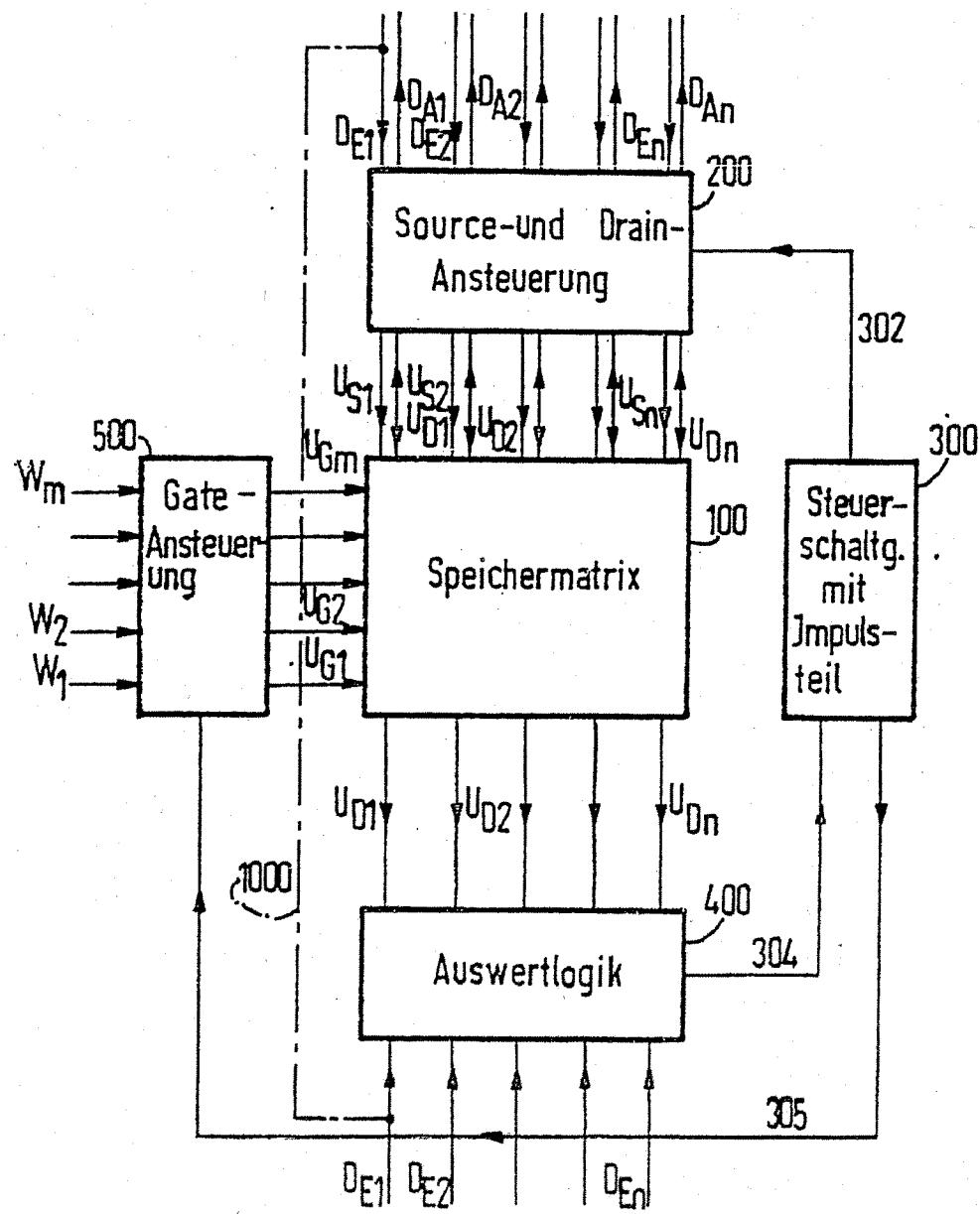
⑯ Entgegenhaltungen:

DE-OS 27 43 422
DE-OS 26 43 987
IEEE Transactions on Electron Devices, Vol. ED-24, Nr. 5,
Mai 1977, S. 584 bis 588, S. 606 bis 610;
Siemens-Forschungs- und Entwicklungs- berichte, Band 4
(1975), Nr. 4, S. 213 bis 219;

⑯ Wortweise elektrisch umprogrammierbarer, nichtflüchtiger Speicher sowie Verfahren zum Löschen bzw.
Einachreiben eines bzw. in einen solchen Speicher(s)

DE 2828855 C2

FIG 1



Patentansprüche:

1. Wortweise elektrisch umprogrammierbarer, nichtflüchtiger Speicher mit matrixförmig angeordneten Speicherzellen, dadurch gekennzeichnet, daß die Ansteuerschaltung für Löschen und Schreiben mit für jede Speicherzelle variabler Lösch- bzw. Schreibdauer arbeitet, deren Ende durch die Kontrolle des Erreichens eines vorgegebenen Lösch- bzw. Schreibzustandes einer oder mehrerer Speicherzellen aus der zu löschenen bzw. zu schreibenden Speicherzeile festlegbar ist.

2. Verfahren zum Löschen eines Speichers nach Anspruch 1, dadurch gekennzeichnet, daß die an den Speicherzellen anliegenden Löschspannungen in eine zeitliche Folge von Einzelimpulsen aufgeteilt sind und in den Impulspausen jeweils ein Kontrollsevorgang durchgeführt wird.

3. Verfahren zum Löschen eines Speichers nach Anspruch 1, dadurch gekennzeichnet, daß die an den Speicherzellen anliegenden Löschspannungen zeitlich kontinuierlich sind und das Kontrolllesen gleichzeitig erfolgt.

4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß das Kriterium für die beendete Löschung einer Speicherzeile darin besteht, daß alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellenspannung von U_T aufweisen, wobei $|U_T|$ kleiner oder gleich $|U_{GL}|$ ist, wenn U_{GL} einen vorgegebenen Schwellenwert der verwendeten Speicherzellen bedeutet.

5. Verfahren zum Schreiben in einem Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die an den Speicherzellen anliegenden Schreibspannungen (Programmierspannungen) in eine zeitliche Folge von Einzelimpulsen aufgeteilt sind und in den Impulspausen jeweils ein Kontrollsevorgang durchgeführt wird.

6. Verfahren zum Schreiben in einem Speicher nach Anspruch 5, dadurch gekennzeichnet, daß das Kriterium für das beendete Schreiben einer Speicherzeile darin besteht, daß alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellspannung von $|U_T|$ oder gleich $|U_{GS}|$ aufweisen.

7. Verfahren nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, daß während der Löschdauer und innerhalb eines Kontrollsevorgangs bei einer Gatespannung U_{GL} der gelöschte Zustand durch das Absinken des Absolutwertes der Drainspannung $|U_D|$ und während der Schreibdauer und innerhalb eines Kontrollsevorgangs bei einer Gatespannung U_{GS} der programmierte Zustand durch das Ansteigen der Drainspannung $|U_D|$ angezeigt wird.

8. Verfahren nach einem der Ansprüche 2 bis 7, dadurch gekennzeichnet, daß diejenigen Drain-Ausgangssignale, die das Ende einer Schreib- oder Löschdauer einer Speicherzeile anzeigen, zum Abschalten der an der zugehörigen Speicherzeile anliegenden Schreib- bzw. Löschspannung verwendet werden.

9. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß zum Aufbau der einzelnen Speicherzelle elektrisch umprogrammierbare Floating-Gate- oder MNOS-Feldeffekttransistoren verwendet sind.

10. Speicher nach Anspruch 1 und 9, dadurch gekennzeichnet, daß die Gateleitungen der zum Aufbau von Speicherzellen verwendeten Feldeffekt-

transistoren wortweise und die zugehörigen Drainleitungen bitweise geführt werden.

11. Speicher nach mindestens einem der Ansprüche 1, 9 und 10, dadurch gekennzeichnet, daß ein Spannungsteiler vorgesehen ist, aus dem die Gatespannungen, die als vorgegebene Schwellenspannungswerte (U_{GS} und U_{GL}) zum Kontrolllesen beim Programmieren und Löschen benötigt werden, sowie die Gatespannung für das Auslesen des Speichers (U_{GR}) entnommen sind, so daß stets $|U_{GL}|$ kleiner als $|U_{GR}|$ und zugleich $|U_{GR}|$ kleiner als $|U_{GS}|$ gilt.

Die Erfindung betrifft einen wortweise elektrisch umprogrammierbaren, nichtflüchtigen Speicher mit matrixförmig angeordneten Speicherzellen.

Aus »IEEE Transactions on Electron Devices«, Vol. ED-24, Nr. 5, Mai 1977, Seiten 606 bis 610 ist eine Floating-Gate-Speicherzelle zur Herstellung von nichtflüchtigen, elektrisch umprogrammierbaren Speichern bekannt. Bei diesen Feldeffekttransistoren ist ein allseitig isoliertes floatendes Speichergate und ein steuerbares Steuergate vertikal über der Kanalstrecke angeordnet, wobei das Steuergate die gesamte Kanalstrecke überdeckt, während das floatende Gate nur einen Teil davon überlagert. Die sogenannte Splitgate-Struktur vermeidet Fehler beim Auslesen gelöschter Speicherzellen mit Depletioncharakter. Das Laden des floatenden Speichergates erfolgt mittels Kanalinjektion. Dazu werden Elektronen in einem kurzen Kanal beschleunigt und mittels eines zusätzlichen elektrischen Querfeldes zum Speichergate befördert. Das Entladen oder Löschen des floatenden Gates erfolgt durch ein Rücktunnellen der Elektronen bei einer hohen angelegten elektrischen Spannung zwischen dem Steuergate und einem Diffusionsgebiet.

In der deutschen Patentanmeldung P 27 43 422.6 wird ein wortweise löscharbar, nichtflüchtiger Speicher in Floating-Gate-Technik vorgeschlagen. Sowohl das Laden als auch das Entladen der floatenden Gates erfolgt mittels eines direkten Übergangs von Elektronen zwischen floatendem Gate und Substrat, wobei ein hohes elektrisches Feld geeigneter Polarität zwischen dem floatenden Gate und dem Substrat angelegt wird.

Als Beispiel für einen Haftstellenspeicher ist aus Siemens Forschungs- und Entwicklungsberichte, Springer-Verlag, Band 4 (1975) Nr. 4 Seiten 213 bis 219 eine MNOS-Speicherzelle zur Herstellung von nichtflüchtigen Speichern bekannt. Eine Ladungsspeicherung erfolgt hierbei durch ein elektrisches Umladen von Haftstellen an der Grenzfläche zwischen einer Nitrid- und einer Oxydschicht. Das Laden wie auch das Entladen der Haftstellen erfolgt mittels Elektronenübergängen durch Tunnellen bei großen elektrischen Feldstärken.

Aus IEEE Transaction on Electron Devices, Vol. ED-24, Nr. 5, Mai 1977, Seiten 584 bis 586, sind Speicherzellen bekannt, die in ähnlicher Weise wie MNOS-Transistoren arbeiten, bei denen jedoch die Schichtenfolge metallische Gate-Elektrode, Nitrid, Oxyd durch Transistoren ersetzt wird, die eine Schichtenfolge Polysilicium, Oxinitrid, Nitrid, Oxyd aufweisen.

Bei allen bisher bekannten Speichern, die aus den angegebenen Speicherzellen aufgebaut sind, wird die

Lösch- bzw. Programmierzeit über ein externes Zeitglied fest vorgegeben und eingestellt. Die Lösch- bzw. Programmierzeiten sind dabei so groß zu wählen, daß fertigungstechnisch bedingte Schwankungen der Lösch- und Programmiereigenschaften der einzelnen Zellen nicht nur innerhalb eines Chips, sondern auch hinsichtlich verschiedener Fertigungsschichten berücksichtigt werden. Außerdem müssen auch die durch das Zeitglied selbst bedingten Toleranzschwankungen der Zeitdauer einbezogen werden. Hohe Programmier- und Löschzeiten bergen die Gefahr von Nachbarwortstörungen und bedeuten oftmals auch eine Verschlechterung der Programmier-eigenschaften, insbesondere bei Speicherzellen, bei denen der Schreibvorgang mittels Kanalinjektion erfolgt. Hohe Schreib-Löschezeiten verringern die Zahl der zulässigen Schreib-Löszyklen. Um zu minimalen Schreib-Lös-Zeiten zu gelangen und somit die Lebensdauer und die Qualität entsprechender Halbleiterspeicher herauszusetzen, wäre es wünschenswert, Halbleiterspeicher so auszustatten, daß sich ein externes Zeitglied erübrigt, und bei der Festsetzung der Schreib-Lös-dauer nur die Schwankungen innerhalb ein- und desselben Chips Einfluß besitzen, während Schwankungen hinsichtlich verschiedener Halbleiterchips außer Betracht bleiben. Damit kann eine wesentliche Verringerung der Schreib-Löszeiten erreicht werden, und die Qualität wie die Lebensdauer der betreffenden Speicher entsprechend herausgesetzt werden.

Aufgabe der vorliegenden Erfindung ist es daher, einen wortweise elektrisch umprogrammierbaren, nichtflüchtigen Speicher so auszustatten, daß sich ein externes Zeitglied erübrig und die effektiven Programmier- bzw. Schreibzeiten der Einzelzellen gegenüber Speichern mit externen Zeitgliedern herabgesetzt werden.

Diese Aufgabe wird bei einem Speicher der eingangs genannten Art erfundungsgemäß dadurch gelöst, daß die Ansteuerschaltung für Löschen und Schreiben mit für jede Speicherzelle variabler Lösch- bzw. Schreibdauer arbeitet, deren Ende durch die Kontrolle des Erreichens eines vorgegebenen Lösch- bzw. Schreibzustandes einer oder mehrerer Speicherzellen aus der zu löschenden bzw. zu schreibenden Speicherzelle festlegbar ist.

Ausgestaltungen des vorstehend definierten Speichers sowie Verfahrensmaßnahmen zu diesem Betrieb sind in Unteransprüchen gekennzeichnet.

Der erfundungsgemäße Speicher hat gegenüber den bekannten Speichern den Vorteil, daß das äußere Zeitglied eingespart wird, wodurch die Gesamtanordnung zum Betrieb des Speichers einfacher und billiger wird. Die Toleranzschwankungen aller zu einem Zeitglied gehörenden Bauteile, denen bei der Bestimmung der Zeitkonstante Rechnung getragen werden muß, gehen nicht mehr in die Schreib- bzw. Löschdauer des erfundungsgemäßen Speichers ein und tragen somit auch nicht zu einer Vergrößerung der Schreib- und Löschdauer bei.

Bei der Auslegung eines externen Zeitgliedes sind auch Toleranzschwankungen hinsichtlich der Programmier- bzw. Löschezeiten von Speicherchips aus verschiedenen Fertigungsschichten zu beachten. Da in die Programmier- bzw. Löschezeiten des erfundungsgemäßen Speichers maximal die Schwankungen innerhalb eines Halbleiterchips eingehen, verringern sich auch deshalb in vorteilhafter Weise die Programmier- bzw. Löschezeiten des erfundungsgemäßen Speichers gegenüber herkömmlichen Speichern mit externem Zeitglied.

Eine Verringerung der Programmier- bzw. Löschzeit eines Speichers ist zum ersten für den Betrieb eines solchen Speichers von Vorteil. Zum zweiten hat eine verkürzte Umprogrammierdauer wiederum Rückwirkungen auf die Lebensdauer der Speicher. Es ist bekannt, daß die Programmier- und Löscheigenschaften eines Speichers mit zunehmender Zahl der Schreib-Löszyklen verschlechtern. Bewirkt werden diese Verschlechterungen z. B. durch die Oxydvergiftungen, welche heiße Ladungsträger bewirken können, oder durch Ermüdungserscheinungen von Nitridschichten. Verkürzte Umprogrammierzeiten bedeuten somit eine erhöhte Zahl von möglichen Schreib-Lös-Zyklen und eine erhöhte Lebensdauer des erfundungsgemäßen Speichers.

Durch Verringerung der Löschezeiten wird außerdem bei Floating-Gate-Speichern die Gefahr eines Überlöschens, d. h. das Verschieben der Schwellspannungen zu stark negativen Werten hin reduziert. Dadurch können wiederum mögliche Schwierigkeiten beim anschließenden Programmiervorgang mittel Kanalinjektion verringert werden.

Schließlich führt die Verringerung der Umprogrammierdauer eines Speichers auch zu einer geringeren Nachbarwortstörung als das bei längeren Umprogrammierzeiten der Fall ist. Längere Umprogrammierzeiten bewirken in einzelnen Zellen von Nachbarworten oftmals das ungewollte Einschreiben oder Löschen einer Information, was zu Fehlern beim Betrieb von Speichern führt.

Eine Verkürzung der Programmier- und Löschezeiten hat weiterhin den Vorteil einer kürzeren Strombelastung und damit einer geringeren Aufheizung des Halbleiterkristalls.

Dieser Vorteil ist für solche Schieber von besonderer Bedeutung, bei denen beim Programmieren oder Löschen erhebliche Ströme fließen, wie z. B. beim Programmieren von Speicherzellen mittels Kanalinjektion.

Eine Weiterbildung des erfundungsgemäßen Verfahrens besteht darin, daß die an den Speicherzellen anliegenden Löschspannungen in eine zeitliche Folge von Einzelimpulsen aufgeteilt sind und in den Impulspausen jeweils ein Kontroll-Lesevorgang durchgeführt wird.

Bei Speicherzellen, die keinen vom Kanalbereich elektrisch isolierten Löschbereich aufweisen, ist ein gleichzeitiges Löschen und Kontrollesen insofern nicht möglich, als z. B. bei n-Kanal-Speicherzellen zum Löschen eine hohe positive Spannung am Source anliegen muß, während zum Kontrollesen das Source auf Masse liegen muß. In p-Kanaltechnik gilt Entsprechendes mit vertauschten Vorzeichen der anliegenden Spannungen. Diese beiden Bedingungen sind gleichzeitig nicht erfüllbar. Ein Aufteilen der Löschspannung in eine zeitliche Folge von Einzelimpulsen ermöglicht jedoch ein Kontrollesen während der Löschimpulspausen. Für die genannte Art von Speicherzellen ist das Aufteilen der Löschspannung in eine zeitliche Folge von Einzelimpulsen von besonderer Bedeutung.

Das schließt jedoch nicht aus, daß auch Zellen, die über ein vom Kanalbereich elektrisch isoliertes Löschfenster verfügen (siehe Patentanmeldung P 26 43 987.2), auch mittels einer Folge von Löschimpulsen gelöscht werden können, wenn auch für solche Zellen ein Löschen mittels einer zeitlich konstanten Löschspannung möglich ist. Da durch impulsweises Löschen die Kristallaufheizung geringer ist, kann z. B.

die Anwendung von Löschimpulsen auch bei Zellen mit isoliertem Löschenfenster von Vorteil sein.

Es ist vorteilhaft, daß das Kriterium für die beendete Lösung einer Speicherzeile darin besteht, daß alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellenspannung von U_T aufweisen, wobei $|U_T|$ kleiner oder gleich $|U_{GL}|$, wenn U_{GL} einen vorgegebenen Schwellenwert der verwendeten Speicherzellen bedeutet.

Diese Bedingung läßt sich z. B. bei Speicherzellen in n-Kanaltechnik wie folgt realisieren:

Eine Speicherzelle ist im ungelöschten Zustand, falls an ihrem Steuergate nicht eine ausreichend hohe positive Spannung angelegt wird, gesperrt. Wird beispielsweise zum Source hin gelöscht, so liegt während der Löschimpulse am Source eine hohe positive Spannung an, während das Steuergate auf Masse liegt. Am Drain ist durch eine geeignete Schaltung stets eine gewisse, nicht sehr hohe positive Spannung vorgegeben, die gerade so groß ist, daß sie zum Auslesen und zum Kontrollesen der Zellen ausreicht. Zu Beginn des Löschganges, solange die Schwellenspannung $|U_T|$ größer als der vorgegebene Schwellenwert $|U_{GL}|$ ist, bleibt die zu löschende Zelle auch während der Löschimpulspausen gesperrt. Sinkt jedoch die Schwellenspannung nach einigen Löschimpulsen soweit ab, daß sie den Wert $|U_{GL}|$ erreicht oder unterschreitet, so ist die Zelle in der nächstfolgenden Impulspause leitend. Da während der Impulspausen das Source der Zellen auf Masse liegt, das Drain andererseits stets mit einer gewissen positiven Spannung beaufschlagt ist, die zum Lesen und Kontrollesen ausreicht, fließt durch die Zelle nunmehr ein Strom. Dieser Strom von einer oder mehreren Speicherzellen, an denen kontrollgelesen wird, kann wiederum als Signal zur Beendigung der Löschdauer eines angewählten Wortes benutzt werden. Die Speicherzellen werden also nur so lange gelöscht, bis der Zustand »0« gerade mit einem einstellbaren Sicherheitsabstand erreicht ist.

Bei bestimmten Zellen ist es auch vorteilhaft, daß die an den Speicherzellen anliegenden Löschspannungen zeitlich kontinuierlich sind und das Kontrollesen gleichzeitig erfolgt.

Ein kontinuierliches Löschen und gleichzeitiges Lesen ist bei Speicherzellen vom Floating-Gate-Typ durchführbar, die ein vom Kanalbereich elektrisch isoliertes Löschenfenster besitzen, so daß die Source-Spannung auch während der gesamten Löschdauer 0 Volt betragen kann, während das isolierte Diffusionsgebiet im Löschenfenster eine hohe positive Spannung aufweist. Eine solche Zelle ist in der Patentanmeldung P 26 43 987.2 beschrieben.

Es ist auch vorteilhaft, daß die an den Speicherzellen anliegenden Schreibspannungen (Programmierspannungen) in eine zeitliche Folge von Einzelimpulsen aufgeteilt sind, und in den Impulspausen jeweils ein Kontrollesevorgang durchgeführt wird.

Das Aufteilen der Programmierdauer in Einzelimpulse hat insbesondere bei Zellen, die mit Kanalinjektion programmiert werden, den Vorteil, daß ein starkes Aufheizen des Halbleiterchips durch die hohen Kanalströme dadurch verringert wird.

Ein Kontrollesen an einer zu programmierenden Zelle während der Impulspause hat für alle verwendeten Zellen weiterhin den Vorteil, daß die Programmierdauer einer Zelle der tatsächlich benötigten Programmierzeit dieser Zelle angepaßt werden kann. Damit wird der Schwellenwert einer zu programmierenden Zelle nicht

wesentlich über einen oberen vorgegebenen Nennwert der Schwellenspannung hinaus verschoben. Daraus ergibt sich wiederum der Vorteil einer kürzeren Programmierzeit und folgedessen einer geringeren Schädigung der Halbleiterzellen, was wiederum zu einer erhöhten Lebensdauer und einer erhöhten Anzahl von Schreib-Löschenzyklen führt. Schädigungen an erfundungsgemäßen Speichern, die durch das Umprogrammieren zustande kommen, führten nicht, wie bei anderen Speichern, zu möglichen Totalausfällen, sondern vergrößern nur die Schreib-Löschezeiten kontinuierlich.

Eine Weiterbildung des erfundungsgemäßen Verfahrens besteht darin, daß das Kriterium für das beendete Schreiben einer Speicherzeile darin besteht, daß alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellenspannung von $|U_T|$ größer oder gleich $|U_{GS}|$ aufweisen.

Eine Weiterbildung der Erfindung besteht darin, daß während der Löschdauer und innerhalb eines Kontrollesevorgangs bei einer Gatespannung U_{GS} der gelöschte Zustand durch das Absinken des Absolutwertes der Drainspannung $|U_D|$ und während der Schreibdauer und innerhalb eines Kontrollesevorgangs bei einer Gatespannung U_{GS} der programmierte Zustand durch das Ansteigen der Drainspannung $|U_D|$ angezeigt wird.

Es ist vorteilhaft, daß diejenigen Drain-Ausgangssignale, die das Ende einer Schreib- oder Löschdauer einer Speicherzeile anzeigen, zum Abschalten der an der zugehörigen Speicherzeile anliegenden Schreib- bzw. Löschspannung verwendet werden.

Es ist auch vorteilhaft, daß zum Aufbau der einzelnen Speicherzelle elektrisch umprogrammierbare Floating-Gate- oder MNOS-Feldeffekttransistoren verwendet sind.

Es ist schaltungstechnisch vorteilhaft, daß die Gateleitungen der zum Aufbau von Speicherzellen verwendeten Feldeffekttransistoren wortweise und die zugehörigen Drainleitungen bitweise geführt werden.

Es ist vorteilhaft, daß ein Spannungsteiler vorgesehen ist, aus dem die Gate-Spannungen, die als vorgegebene Schwellenspannungswerte (U_{GS} und U_{GL}) zum Kontrollesen beim Programmieren und Löschen benötigt werden, sowie die Gate-Spannung für das Auslesen des Speichers (U_{GR}) aus einem demselben Spannungsteiler entnommen werden, so daß stets $|U_{GS}|$ kleiner als $|U_{GR}|$ und zugleich $|U_{GR}|$ kleiner als $|U_{GL}|$ gilt.

Diese Maßnahme garantiert in vorteilhafter Weise einen sicheren Mindestabstand zwischen der Gatespannung U_{GR} beim Auslesen und der Schwellenspannung $U_T(1)$ des programmierten Zustandes, wobei gilt $|U_T(1)| > |U_{GR}|$ bzw. der Schwellenspannung $U_T(0)$ des gelöschten Zustandes einer Speicherzelle, wobei gilt $|U_T(0)| < |U_{GR}|$. Es kann somit immer sicher ausgelesen werden. Toleranzbedingte unterschiedliche Schreib- und Löscheigenschaften der Speicherzelle innerhalb eines Speichers wirken sich nicht auf die Zuverlässigkeit beim Auslesen, sondern nur auf die Dauer des Schreib- bzw. Löschganges aus.

Weil der unprogrammierte und der programmierte Zustand mit dieser Maßnahme relativ zur Auslesespannung sehr genau festgelegt werden kann, läßt sich die Breite des elektrischen Fensters, d. h. der Potentialunterschied zwischen der Gatespannung beim Kontrollesen während des Schreibens U_{GS} und der Gatespannung beim Kontrollesen während des Löschens U_{GL} herabsetzen. Dadurch können in vorteilhafter Weise entweder die Spannungen während des Umprogrammierens

niedrig sein oder aber die Umprogrammierdauer ist besonders kurz. Weiterhin kann mit dieser Maßnahme das elektrische Fenster in einen vorgegebenen Schwellenspannungsbereich hineingelegt werden.

Nachfolgend wird die Erfindung anhand der Zeichnung und an Ausführungsbeispielen näher erläutert. Die Ausführungsbeispiele beziehen sich auf n-Kanaltechnik. Analoge Ausführungsbeispiele sind jedoch auch in p-Kanaltechnik möglich. Es zeigt

Fig. 1 ein Blockschaltbild eines erfundungsgemäßen Speichers:

Fig. 2a bis 2g graphische Darstellungen von Lösch-, Schreib-, Kontrolllese- und Ausleseimpulsen:

Fig. 3 und 3a zwei Beispiele einer Auswertelogik für erfundungsgemäße Speicher:

Fig. 4 Gateansteuerschaltung für erfundungsgemäße Speicher und Source- und Drainansteuerung für Speicher mit Zellen, die mit Kanalinjektion geladen werden:

Fig. 5 Source- und Drainansteuerschaltung für erfundungsgemäße Speicher mit Speicherzellen, die mittels starker elektrischer Felder zwischen Speicher-gate und einem Diffusionsgebiet geladen werden.

Fig. 1 stellt ein Blockschaltbild eines erfundungsgemäßen Speichers mit einer Speichermatrix 100 mit m -Zeilen und n -Spalten dar. An die Speichermatrix 100 ist eine Source-Drain-Ansteuerung 200 angeschlossen, die die Sourcespannungen U_{S1} bis U_{Sd} und die Drainspannungen U_{D1} bis U_{Dn} versorgt (angedeutet durch Pfeile zwischen der Speichermatrix 100 und Source-Drain-Ansteuerung 200). Die Pfeilrichtung soll auf die Seite der Verbindungsleitungen hinweisen, von der aus die betreffende Spannung festgelegt wird. Die gegenläufige Pfeilrichtung für U_{D1} bis U_{Dn} besagt, daß die Drainspannungen entweder direkt über eine Drainansteuerung oder indirekt bei elektrisch floaten- dem Drain auch über die Sourceansteuerung bestimmt sind. Die Drainspannungen U_{D1} bis U_{Dn} der Speichermatrix 100 sind andererseits auch an eine Auswertelogik 400 angeschlossen (angedeutet durch Pfeile zwischen der Speichermatrix 100 und der Auswertelogik 400). Die Eingänge D_{E1} bis D_{En} der Auswertelogik 400 sowie der Source- und Drainansteuerung 200 sind miteinander elektrisch leitend verbunden. Diese elektrisch leitende Verbindung der Dateneingänge von Auswertelogik 400 und Source- und Drainansteuerung 200 wurde aus Gründen der besseren Übersicht nur für den Dateneingang der ersten Spalte D_{E1} in Fig. 1 durch die strichpunktiierte Linie 1000 angedeutet. Die Datenausgänge D_{A1} bis D_{An} dargestellt durch Pfeile, die aus der Source-Drainansteuerung 200 herausführen, sind durch den Pegel der Drainspannungen U_{D1} bis U_{Dn} festgelegt. Die Gate-Spannungen der wortweise angesteuerten Gateleitungen der Speichermatrix 100 werden durch eine Gateansteuerung 500 mit geeigneten Potentialen U_{G1} bis U_{Gm} versorgt. In die Gateansteuerung 500 werden die Auswahlleitungen eines Zeilendekoders W_1 bis W_m geführt, so daß eine geeignete Wortauswahl getroffen werden kann. Die Steuerschaltung mit Impulsteil 300 speist über die Leitung 302 die erforderlichen Impulse in die Source- und Drainansteuerung 200 und entsprechend über die Leitung 305 in die Gateansteuerung 500 ein. Leitungen 304 verbinden die Auswertelogik 400 mit der Steuerschaltung mit Impulsteil 300, wodurch die Auswertelogik 400 auf die Zeitdauer der Impulsabgabe der Steuerschaltung mit Impulsteil 300 einwirkt.

In Fig. 2 werden die Impulse für eine Ansteuerung

dargestellt, bei der das Löschen und Schreiben der Speicherzellen nicht, wie üblich, während einer vorgegebenen Zeitdauer, sondern innerhalb vorgegebener Schwellenspannungswerte, zwischen dem Schwellenspannungswert $U_T(0)$ einer umprogrammierten Zelle und $U_T(1)$ einer programmierten Zelle, erfolgt. Löschimpulse nach Fig. 2a bewirken eine schrittweise absinkende Schwellenspannung 24, dargestellt in Fig. 2b, während der Löschimpulsdauer. Die Kontrolleimpulse während des Löschens fallen in die Löschimpulspausen.

Analoges gilt für den Schreibvorgang, wie aus Fig. 2d bis 2f ersichtlich.

In Fig. 2a sind Source-Spannungsimpulse U_S in Abhängigkeit von der Zeit t dargestellt. Rechteckimpulse 11, 12, 13 werden zum Zwecke des Löschens dem Source einer angewählten Zelle zugeführt. Die Dauer eines Löschimpulses ist mit T_L bezeichnet. Die Zeitdauer von Beginn eines Löschimpulses bis zum Beginn des nächstfolgenden Löschimpulses beträgt T_1 . Die Dauer der Impulspause zwischen zwei aufeinanderfolgenden Löschimpulsen beträgt somit $T_1 - T_L$. In Fig. 2b wird die Änderung der Schwellenspannung einer angewählten Zelle während der Löschdauer dieser Zelle dargestellt, wobei das Löschen mittels Impulsen nach Fig. 2a erfolgt. Die Schwellenspannungskurve 20 einer anfangs ungelöschten Zelle weist zu Beginn des Löschvorganges einen hohen Schwellenspannungswert $U_T(1)$ auf. Jeder Löschimpuls bewirkt ein Absinken des Schwellenspannungswertes der angewählten zu löschenden Zelle. So bewirkt z. B. der Impuls 11 aus Fig. 2a ein Absinken 21 der Schwellenspannung U_T , der Impuls 12 ein Absinken 22 und der Impuls 13 ein Absinken 23. Eine angewählte Zelle ist dann gelöscht, wenn ihr Schwellenspannungswert $U_T(0)$ unterhalb einer anliegenden Gatespannung U_{GL} beim Kontrolllesen während des Löschvorganges liegt. Dieses Kriterium ist für den Endwert 24 der Schwellenspannung in der Kurve 20 erfüllt. $U_T(0) < U_{GL}$

Fig. 2c stellt die Drainspannungen einer angewählten Speicherzelle während des Löschens dar, an der in den Löschimpulspausen, während einer Zeitdauer T_{KL} kontrollgelesen wird. Die Drainspannung während der Dauer eines Löschimpulses T_L kann je nach Aufbau und Typ der verwendeten Speicherzelle sehr unterschiedliche Werte annehmen. Diese Drainspannungen sind in Fig. 2c der Übersichtlichkeit halber nicht eingezeichnet. Während der Dauer eines Kontrolllesevorganges in der Löschphase T_{KL} liegen die Drainspannungswerte 26, 27, 28 einer angewählten Speicherzelle solange auf einem hohen Niveau, bis der Schwellenspannungswert der Zelle unter einen gewissen kritischen Wert abgesunken ist. Dieser kritische Wert ist aus Fig. 2b entnehmbar und beträgt U_{GL} , was der Gatespannung beim Kontrolllesen während des Löschens an der zu löschenden Zelle entspricht. Unterschreitet die Schwellenspannung der zu löschenden Zelle diesen Wert U_{GL} , so sinkt spontan der Drainspannungswert 29 der zu löschenden Zelle stark ab, d. h. die Zelle wird leitend. Dieses spontane Absinken der Drainspannung einer oder mehrerer zu löschenden Zellen eines Speichers kann dazu benutzt werden, den Löschvorgang zu beenden.

In Fig. 2d sind Gatespannungsimpulse U_G in Abhängigkeit von der Zeit t dargestellt. Rechteckimpulse 31, 32, 33 werden dem Gate einer angewählten Zelle zugeführt, um eine Information in diese Zelle einzuschreiben. Die Dauer eines Schreibimpulses beträgt T_S .

Die Zeitdauer vom Beginn eines Schreibimpulses bis zum Beginn des nächstfolgenden Schreibimpulses beträgt T_2 , die Dauer der Impulspause zwischen zwei aufeinanderfolgenden Schreibimpulsen beträgt $T_2 - T_+$.

In Fig. 2e wird die Änderung der Schwellenspannung einer angewählten Zelle während der Schreibdauer dieser Zelle dargestellt, wobei das Schreiben mittels Impulsen nach Fig. 2d erfolgt. Die Schwellenspannungskurve 40 einer anfangs gelöschten Zelle weist zu Beginn des Schreibvorganges einen niedrigen Schwellenspannungswert 39, den Schwellenspannungswert $U_T(0)$ einer unprogrammierten Zelle auf. Jeder Schreibimpuls bewirkt eine Erhöhung des Schwellenspannungswertes der einzuschreibenden Zelle. So bewirkt der Impuls 31 aus Fig. 2d einen Anstieg 41 der Schwellenspannung U_T , der Impuls 32 einen Anstieg 42 und der Impuls 33 einen Anstieg 43. Der Schreibvorgang ist dann beendet, wenn der Schwellenspannungswert einer angewählten Zelle oberhalb einer gewissen, beim Kontrollesen anliegenden Gatespannung U_{GS} liegt. Dieses Kriterium ist für den Endwert 44 der Schwellenspannung U_T , den Wert $U_T(1)$, in der Kurve 40 erfüllt, $U_T(1) > U_{GS}$.

Fig. 2f stellt die Drainspannung U_D während des Schreibvorganges einer angewählten Speicherzelle dar, bei der in den Schreibimpulspausen während einer Zeitdauer T_{KS} kontrolliert wird. Wie in Fig. 2c ist auch in Fig. 2f nur die Drainspannung während der Dauer des Kontrollvorgangs in der Schreibphase T_{KS} nicht aber während der Dauer der Schreibimpulse T_S eingezeichnet. Die Drainspannungswerte 46, 47, 48 einer angewählten Speicherzelle liegen während des Schreibvorganges solange auf einem niedrigen Niveau, d. h. die angewählte Zelle ist durchgeschaltet, bis der Schwellenspannungswert der Zelle über einen gewissen kritischen Wert angestiegen ist. Dieser kritische Wert ist aus Fig. 2e entnehmbar und beträgt U_{GS} , was der Gatespannung beim Kontrollesen während des Schreibens an der angewählten Zelle entspricht. Überschreitet die Schwellenspannung der angewählten Zelle diesen Wert U_{GS} , so steigt spontan die Drainspannungswert 49 der angewählten Zelle stark an, d. h. die Zelle führt keinen Strom mehr. Dieses spontane Ansteigen der Drainspannung einer angewählten Zelle eines Speichers kann dazu benutzt werden, den Schreibvorgang zu beenden.

Fig. 2g stellt die Gatespannung U_G in Abhängigkeit von der Zeit t einer angewählten Speicherzelle, während des Auslesevorgangs dar. Die Rechteckimpulse 51, 52 weisen jeweils das gleiche Potentialniveau, und zwar die Gate-Auslesespannung U_{GR} auf. Diese liegt zwischen der Schwellenspannung $U_T(1)$ einer mit einer »1« eingeschriebenen Speicherzelle und der Schwellenspannung $U_T(0)$ einer mit einer »0« eingeschriebenen Speicherzelle. In Fig. 4 wird u. a. näher erläutert, wie ein ausreichend sicherer Abstand zwischen der Auslesespannung U_{GR} und der Schwellenspannung $U_T(1)$ einer aufgeladenen Zelle einerseits und der Schwellenspannung $U_T(0)$ einer gelöschten Speicherzelle schaltungsmäßig sicher eingehalten werden kann.

In Fig. 2 ist das Einschreiben und Löschen von Informationen in angewählte Zellen mittels dargestellten Schreib- bzw. Löschimpulsen verwirklicht. Bei speziell ausgestalteten Speicherzellen, wie sie in der Patentanmeldung P 26 43 987,2 beschrieben sind, bei denen der Ladungsumgang bei einem Floating-Gate-Speicher außerhalb des Kanalbereichs in einem

elektrisch isolierten Löschbereich oder Löschfenster stattfindet, könnte der Löschvorgang und das Kontrollesen gleichzeitig ablaufen. Für dieses Ausführungsbeispiel ist also auch ein statisches Löschen möglich.

5 Auch in diesem Fall wird die Löschspannung mittels einer geeigneten Auswertelogik und einer Steuerschaltung in dem Moment abgeschaltet, in dem die Schwellenspannung der zu löschenen Zelle einen vorgegebenen unteren Schwellenspannungswert unterschreitet.

Die Symbole T_S bzw. T_L an verschiedenen Anschlüssen der Fig. 3, 4 und 5 deuten an, daß während der Schreibimpulsdauer bzw. während der Löschimpulspause an diesem Anschluß eine hinreichend hohe positive Spannung, d. h. eine »1« am entsprechenden Schaltsymbol anliegt. Analoges gilt für T_{KL} bzw. T_{KS} für die Dauer eines Kontrollesevorgangs während der Lösch- bzw. Schreibimpulspausen. Die Worte Schreiben, Löschen, Lesen bedeuten, daß entsprechende positive Spannungen während der gesamten Schreib-, Lösch- bzw. Lesedauer an den entsprechenden Anschlüssen anliegen. Die Worte Löschende bzw. Schreibende deuten die Abgabe eines Spannungssignals zum Zeitpunkt des Lösch- bzw. Schreibendes an.

25 Fig. 3 stellt zwei Beispiele einer Auswertelogik 400 für erfundungsgemäße Speicher dar. Bei dem logischen Schaltbild 410 aus Fig. 3 werden alle bitweise geschalteten Drainleitungen 1 bis n aus der Speichermatrix 100 herausgeleitet. Die bitweise geschalteten Drainleitungen 1 bis n werden einerseits über je einen Inverter α_1 bis α_n auf ein UND-Glied β geführt und andererseits über je ein ODER-Glied γ_1 bis γ_n auf ein UND-Glied δ geleitet. Zusätzlich sind die Dateneingänge D_1 bis D_n über je einen Inverter η_1 bis η_n auf die entsprechenden ODER-Glieder γ_1 bis γ_n gelegt. Aus Gründen der Übersichtlichkeit sind nur die 1., die 2. und die n -te Drainleitung mit zugehörigen Schaltsymbolen dargestellt. Es ist dafür gesorgt, daß das UND-Glied β nur während der Dauer der Kontrollesevorgänge in der Löschpause, d. h. während der Zeit T_{KL} freigegeben ist, was z. B. durch einen weiteren Anschluß 420 am UND-Glied β erfolgen kann, der während der Dauer des Kontrollesens beim Löschen jeweils eine positive Spannung führt und somit eine »1« an das UND-Glied β legt. Ein Anschluß 430 sorgt analog dafür, daß das UND-Glied δ nur während der Dauer T_{KS} der Kontrollesevorgänge in der Schreibphase freigegeben ist. An den Anschluß 430 werden deshalb Spannungsimpulse angelegt, die während der Dauer T_{KS} eine positive Spannung führen und somit eine »1« an das UND-Glied δ legen, während sie in den zugehörigen Kontrollesepausen eine »0« an das UND-Glied δ legen und es somit während dieser Zeit nicht freigeben. Während der Dauer T_{KL} des Kontrollesens in der Löschphase liefert zunächst der Anschluß 420 eine »1« an das UND-Glied β . Während des Löschvorganges eines angewählten Wortes liefern jeweils diejenigen Speicherzellen ihren zugehörigen bitweise geschalteten Drainleitungen i ($i = 1 \dots n$) dann eine »0«, wenn ihre Schwellenwerte nach Fig. 2b einen vorgegebenen unteren Spannungswert U_{GL} unterschritten haben. Nach Erreichen dieses Zustandes an allen Zellen des angewählten Wortes liefern alle Drainleitungen 1 bis n somit eine »0«. Über die zugehörigen Inverter α_1 bis α_n liegt somit an jedem Eingang des UND-Gliedes β eine 1 an und es erscheint somit am Ausgang des UND-Gliedes β das Steuersignal »Löschen«.

de, das dann an die Steuerschaltung mit Impulsteil 300 aus Fig. 1 als Spannungsimpuls weitergegeben wird, wodurch wiederum eine weitere Impulsgabe der Steuerschaltung 300 an die Ansteuerung 200 unterbrochen wird. Der Löschtvorgang ist damit für das angewählte Wort beendet.

Beim Schreiben eines angewählten Wortes werden die 1 bis n bitweise geschalteten Drainleitungen über je ein ODER-Glied γ_1 bis γ_n an ein gemeinsames UND-Glied δ angeschlossen. Den ODER-Gliedern γ_i ($i = 1$ bis n) wird außer der zugehörigen Drainleitung i ($i = 1$ bis n) ebenfalls der zugehörige Dateneingang D_E ($i = 1$ bis n) über jeweils einen weiteren Inverter η_i ($i = 1$ bis n) zugeführt. Wird die Zelle i mit einer Information versehen, so führt die γ_i bitweise geschaltete Drainleitung nach beendetem Aufladen der entsprechenden Zelle eine hinreichend große positive Drainspannung, d. h. eine »1« dem ODER-Glied γ_i zu. Der zweite Eingang des ODER-Gliedes γ_i wird hingegen mit einer »0« beschickt, da der zugehörige Dateneingang D_E eine »1« aufweist, die durch den zwischengeschalteten Inverter η_i in eine »0« umgewandelt wird, die dann den zweiten Eingang des ODER-Gliedes γ_i erreicht. Der Ausgang des ODER-Gliedes γ_i gibt somit an das UND-Glied δ eine »1« ab. Eine zweite Speicherzelle, in welche eine »0« eingeschrieben wird, gibt über seine bitweise geschaltete Drainleitung j an das zugehörige ODER-Glied γ_j stets eine Information »0« ab, da die Drainspannung dieser Zelle nicht ansteigt. Der entsprechende Dateneingang D_E führt eine »0« an den Inverter η_j , der wiederum eine »1« an den zweiten Eingang des ODER-Gliedes γ_j liefert. Der Ausgang des ODER-Gliedes γ_j gibt somit ebenfalls eine »1« an das UND-Glied δ ab. Alle Zellen des angewählten Wortes, in die eine »0« eingeschrieben wird, liefern somit von Beginn des Schreibvorganges an eine »1« an den zugehörigen Eingang des UND-Gliedes δ . Alle übrigen Speicherzellen des angewählten Wortes, in welche eine »1« eingeschrieben wird, liefern dann eine »1« an den Eingang des UND-Gliedes δ , wenn der Einschreibvorgang in der entsprechenden Zelle beendet ist. Ein weiterer Anschluß 430 am Eingang des UND-Gliedes δ liefert während der Dauer jedes Kontrolllesevorganges in der Schreibphase, d. h. während T_{KL} , eine »1« an den Eingang des UND-Gliedes δ . Damit wird sichergestellt, daß nur in den Schreibimpulspausen kontrollgelesen wird. Nach Beendigung des Schreibvorganges der langsamsten angewählten Speicherzelle, in welche eine Information eingeschrieben wird, weisen alle Eingänge des UND-Gliedes δ eine »1« auf. Das Schreibende wird somit durch eine »1« als Ausgangssignal des UND-Gliedes δ angezeigt. Dieses Ausgangssignal wird aus der Auswertelogik 400 über eine Leitung 304 in die Steuerschaltung mit Impulsteil 300 geleitet (vgl. Fig. 1) und bewirkt dort eine Beendigung der Abgabe von Schreibimpulsen an die Gateansteuerung 500. Der Schreibvorgang ist damit beendet.

Bei Integration in MOS-Technik werden anstelle der UND-Glieder β bzw. δ mit Vorteil auch NOR-Glieder verwendet, wobei die davor geschaltete Logik sinngemäß zu ändern ist.

Das logische Schaltbild 450 aus Fig. 3a ist eine vereinfachte Ausführung der mit dem logischen Schaltbild 410 dargestellte Auswertelogik. Hierbei wird eine einzige Meßzelle 451 neben den übrigen Zeilen einer Speichermatrix auf einem Chip angebracht. Das Schreib- bzw. Löschverhalten dieser Meßzelle 451 wird

repräsentativ für das Schreib- bzw. Löschverhalten sämtlicher Zellen am Chip angesehen. Das Ende der Schreibdauer oder der Löschdauer der Meßzelle 451 signalisiert zugleich das Schreib- bzw. Löschende aller Zellen eines angewählten Wortes. Die Meßzelle 451 wird während eines Schreib- oder Lösch"organizes mit den gleichen Schreib- bzw. Löschimpulsen gespeist wie entsprechende Zellen eines angewählten Speicherwortes. In den Impulspausen wird jedoch nur an der Meßzelle 451 kontrollgelesen. Dazu wird die Drainleitung 452 aus der Meßzelle 451 herausgeführt und einerseits über einen Inverter α an den Anschluß 453 eines UND-Gliedes β geleitet, und andererseits an einen Anschluß 455 eines UND-Gliedes δ geleitet. Das UND-Glied β enthält außerdem einen Anschluß 454, der in den Löschimpulspausen während der Kontrolllesedauer T_{KL} eine »1« dem UND-Glied β zuführt, während er in der übrigen Zeit dem UND-Glied β eine »0« zuführt. Das UND-Glied δ enthält analog einen Anschluß 456, der diesem während der Dauer des Kontrolllesens in den Schreibimpulspausen eine »1« zuführt, zu allen übrigen Zeiten hingegen eine »0« zuführt. Werden der Meßzelle 451 Löschimpulse zugeführt, so sinkt deren Schwellwert laufend ab. Unterhalb eines gewissen Grenzwertes wird die Meßzelle 451 leitend, d. h. beim Kontrolllesen gibt die Drainleitung 452 eine »0« an den Inverter α ab, und dieser wiederum eine »1« an den Anschluß 453 des UND-Gliedes β ab. Da der Anschluß 454 während der Kontrolllesedauer T_{KL} während der Löschimpulspausen ebenfalls eine »1« führt, gibt das UND-Glied β als Ausgangssignal ebenfalls eine »1« ab, wodurch das Löschende signalisiert wird. Leitet man in diesem Fall den Ausgang des UND-Gliedes β über die Leitung 304 in die Steuerschaltung mit Impulsteil 300 (vgl. Fig. 1), so kann damit die Impulsgabe der Steuerschaltung 300 an die Ansteuerung 200 abgeschaltet werden. Das Löschende der Meßzelle 451 bewirkt somit das Löschende der angewählten Speicherzellen. Wird andererseits die Meßzelle 451 gleichzeitig mit angewählten Zellen der Speichermatrix mit Schreibimpulsen beschickt, so steigt die Schwellspannung der Meßzelle 451 an (vgl. Fig. 2e). Überschreitet die Schwellspannung einen gewissen vorgegebenen Wert, so steigt die Drainspannung in den Impulspausen stark an. Die Drainleitung 452 legt somit an den Anschluß 455 des UND-Gliedes δ eine »1«. Während der Leseimpulsdauer T_{KS} in den Schreibimpulspausen liegt andererseits auch an dem Anschluß 456 des UND-Gliedes δ eine »1« an. Der Ausgang des UND-Gliedes δ gibt somit eine »1« über die Leitung 304 an die Steuerschaltung mit Impulsteil 300 (vgl. Fig. 1) ab, wodurch eine weitere Abgabe von Schreibimpulsen der Steuerschaltung mit Impulsteil 300 an die Gateansteuerung 500 abgeschaltet wird. Die Schreibdauer aller angewählten Zellen der Speichermatrix 100 ist somit gleichzeitig mit der Schreibdauer der Meßzelle 451 beendet. Die Verwendung einer einzigen Meßzelle ist jedoch nur dann sinnvoll, wenn die toleranzbedingten Schwankungen der Lösch- und Programmierbeschaffenheiten aller Speichertransistoren innerhalb eines Speichers hinreichend gering sind.

Anstelle einer einzigen Meßzelle läßt sich auch eine Spalte von Speicherzellen mit einer bitweise geschalteten Drainleitung verwenden. Jedes angewählte Wort einer Speichermatrix verfügt dann über eine gesonderte Meßzelle, die jeweils analog der Schaltung der Meßzelle 451 das Schreib- und Löschende aller Zellen eines angewählten Wortes signalisiert.

In Fig. 4 ist eine Gate-, Drain- und Sourceansteuerung für eine Speichermatrix 100 dargestellt, die aus Floating-Gate-Speicherzellen mit Splitgate-Struktur 101 aufgebaut ist. Die Speicherzellen werden, wie eingangs beschrieben, mittels Kanalinjektion geladen, während das Entladen des floatenden Gates einer Speicherzelle bei einer angelegten hohen elektrischen Spannung zwischen dem Steuergate und einem Diffusionsgebiet mittels rücktunnelnder Elektroden aus dem floatenden Gate in das Diffusionsgebiet erfolgt. Die dargestellte Gateansteuerung 500 ist so eingerichtet, daß die Dauer eines Kontrollesevorgangs in der Löschimpulspause T_{KL} gerade die gesamte Impulspause zwischen zwei aufeinanderfolgenden Löschimpulsen ausfüllt, d. h. daß T_{KL} gleich ist der Differenz $T_1 - T_L$ (vgl. Fig. 2a und 2c). Entsprechendes gilt für die Dauer eines Kontrollesevorgangs in den Schreibphasen T_{KS} in bezug auf die zugehörigen Schreibimpulspausen. Diese Wahl der Kontrollesedauer beim Schreibvorgang wie beim Löschtvorgang ist durchaus nicht zwingend. Es muß lediglich sichergestellt sein, daß das Kontrollesen jeweils innerhalb der Schreib- bzw. Löschimpulspausen erfolgt, d. h.

$$T_{KL} \leq T_1 - T_L \text{ bzw. } T_{KS} \leq T_2 - T_S$$

In Fig. 4 wurden aus Gründen der Übersichtlichkeit die Gateansteuerung der 1., der i -ten und der m -ten Zeile sowie die Source- und Drainansteuerung der 1., der i -ten und der n -ten Spalte eingezeichnet. Die Ansteuerung der übrigen Zeilen und Spalten erfolgt analog.

Die Gatespannung U_G am i -ten ($i = 1$ bis m) Speicherzelle der Speichermatrix 100 wird mittels einer Auswahllogik 501, entweder über den Transistor 500₂ an die Spannung des Punktes 515 gelegt oder mittels des Inverters 500₃ über den Transistor 500₁ an einen Spannungsteiler 550 angeschlossen. Die Auswahllogik 501, setzt sich aus einem NOR-Glied 503, zusammen, dessen Ausgang an die Gates der Transistoren 500₂ bzw. durch Zwischenschaltungen eines Inverters 500₃ an das Gate des Transistors 500₁ gelegt ist. Das NOR-Glied 503, weist zwei Eingänge auf, die ihrerseits mit den Ausgängen zweier UND-Glieder 502, und 504, verbunden sind. Die UND-Glieder 502, und 504, besitzen je zwei Eingänge, wobei ein Eingang des UND-Gliedes 502, durch einen Inverter 505, mit einem Eingang des UND-Gliedes 504, verbunden ist.

Im folgenden soll gezeigt werden, wie die Gate-Ansteuerung 500 alle möglichen Bedingungen für das Löschen, Schreiben, Kontrollesen und Auslesen verwirklicht. Von einem Zeilendekoder ausgehende Auswahlleitungen W_i bis W_m ermöglichen es, jeweils ein Speicherwort anzuwählen. Im folgenden soll stets das Wort i als angewähltes Wort betrachtet werden. Alle übrigen Worte sollen nicht angewählt sein. Nichtangewählte Worte W_k ($k = 1$ bis m ; $k \neq i$) führen über die Leitung 507_k eine Null an das UND-Glied 502_k. Daher weist auch der Ausgang von 502_k eine »0« auf. Das UND-Glied 504_k weist infolge des Inverters 505_k am Anschluß 508_k keine »1« auf. Während des gesamten Löschtvorganges weist der Eingang 516 des ODER-Gliedes 514 eine »1« auf, weshalb auch der Ausgang des ODER-Gliedes 514 eine »1« an den Eingang 509_k des UND-Gliedes 504_k legt. Der Ausgang des UND-Gliedes 504_k gibt somit eine »1« an das ODER-Glied 503_k ab, weshalb dessen Ausgang wiederum eine »1« abgibt. Damit wird über den Inverter 500_{k1} und den Transistor 500_{k2} der Spannungsteiler 550 abgeschaltet, während

über den Transistor 500_{k2} die Gate-Spannung U_{Gk} an die Spannung des Punktes 515 angeschlossen ist. Während der Dauer der Löschimpulse führt der Eingang 521 des NOR-Gliedes 523 eine »1«, weshalb der Ausgang von 523 eine »0« führt. Damit ist der Transistor 520 gesperrt und die Gate-Spannung der k -ten Zeile U_{Gk} hat die Spannung des Punktes 515. Bei vernachlässigtem Widerstand 510 gilt: $U_{Gk} \approx U_G \approx 25$ Volt. In den Löschimpulspausen weisen hingegen beide Eingänge des NOR-Gliedes 523 eine »0« auf, weshalb sein Ausgang eine »1« abgibt. Der Transistor 520 ist damit durchgeschaltet und die Spannung des Punktes 515, die zugleich ungefähr die Spannung U_{Gk} ist, weist einen Wert von ungefähr 0 Volt auf.

Für ein angewähltes Wort i erhält die Leitung 507_i über die Auswahlleitung W_i eines zugehörigen Zeilendekoders eine »1«. Der Eingang 506, des UND-Gliedes 502_i weist während der gesamten Löschphase sicherlich eine »0« auf, da der Ausgang des UND-Gliedes 511 während des gesamten Löschtvorganges stets eine »0« liefert, da wiederum der Eingang 531 nur während der Schreibphase eine »1« und zu anderen Zeiten stets eine »0« liefert. Der Ausgang des UND-Gliedes 502_i gibt somit an den Eingang des ODER-Gliedes 503_i eine »0« ab. Das UND-Glied 504_i legt ebenfalls an den zweiten Eingang des ODER-Gliedes 503_i eine »0«, da die »1« am Eingang 507_i, durch den Inverter 505_i, in eine »0« am Eingang 508_i, umgewandelt wird. Der Ausgang des ODER-Gliedes 503_i, gibt somit eine »0« ab, weshalb der Transistor 500_{i2} gesperrt wird, während der Transistor 500_{i1}, mittels des Inverters 500_{i3}, geöffnet wird, so daß die Gatespannung U_{Gi} an den Spannungsteiler 550 angeschlossen ist. Am Ausgang 551 des Spannungsteilers 550 liegt während der Löschimpulse, da während der Löschimpulse der Transistor 567 durchgeschaltet ist, ungefähr eine Spannung von 0 Volt an, die somit auch als Gatespannung U_{Gi} anliegt. Während der Impulspausen beim Löschen ist der Transistor 567 gesperrt. Die Transistoren 566 und 565 sind während der gesamten Löschdauer ohnehin gesperrt. Damit liegt am Ausgang 551 des Spannungsteilers in den Löschimpulspausen über den durchgeschalteten Transistor 564 die Spannung U_{GL} an, die zugleich auch die Gatespannung U_{Gi} liefert. Mit dieser Spannung U_{GL} am Gate des angewählten Wortes i wird in den Impulspausen kontrolliert gelesen.

Während des Gesamtschreibvorganges führt der Eingang 507_i für ein nicht angewähltes Wort stets eine »0«. Damit gibt auch das UND-Glied 502_i eine »0« an einen Eingang des ODER-Gliedes 503_i ab. Das UND-Glied 504_i gibt hingegen eine »1« in den Schreibimpulspausen an den zweiten Eingang des ODER-Gliedes 503_i ab, da der Eingang 508_i des UND-Gliedes 504_i, durch den Inverter 505_i, stets eine »1« erbringt, und der Eingang 509_i in den Schreibimpulspausen ebenfalls eine »1« bringt. In den Schreibimpulspausen gibt nämlich der Inverter 512 eine »1« an den Eingang 533 des UND-Gliedes 513 ab. An dem zweiten Eingang 532 des UND-Gliedes 513 liegt während des gesamten Schreibvorganges eine »1« an. Somit gibt das UND-Glied 513 eine »1« an den Eingang 517 des ODER-Gliedes 514 ab, was wiederum eine »1« am Ausgang des ODER-Gliedes 514 und damit eine »1« am Eingang 509_i des UND-Gliedes 504_i bewirkt. Während der Schreibimpulse liegt hingegen am Eingang 509_i des UND-Gliedes 504_i eine »0« an, so daß beide Eingänge des ODER-Gliedes 503_i eine »0« aufweisen und somit auch der Ausgang des ODER-Gliedes

des 503_k während der Schreibimpulse eine »0« aufweisen. Damit sind während der Schreibimpulse die Gateleitungen nicht angewählter Worte wegen des Inverters 500_{k3} über den Transistor 500_{k1} mit dem Spannungsteiler 550 verbunden, während die Gateleitungen nicht angewählter Worte in den Schreibimpulsen über den Transistor 500_{k2} auf der Spannung des Punktes 515 liegen. In den Schreibimpulspausen ist der Transistor 520 durchgeschaltet, da das NOR-Glied 523 am Ausgang eine »1« liefert, weil seine beiden Eingänge eine »0« aufweisen. Die Gatespannung U_{Gk} nicht angewählter Worte beträgt in den Impulspausen deshalb ungefähr gleich »0« V. Während der Schreibimpulse hingegen sind die Gates der nicht angewählten Worte infolge der »0« am Ausgang des ODER-Gliedes 503_k und des Inverters 500_{k3} über den Transistor 500_{k1} mit dem Ausgang 551 des Spannungsteilers 550 verbunden. Am Ausgang 551 liegt während der gesamten Schreibphase über den durchgeschalteten Transistor 566 nur die relativ niedrige Spannung U_{GS} an, d. h. die Gatespannung beim Kontrollesen während des Schreibens. Die Transistoren 564 , 565 und 567 des Spannungsteilers 550 sind während der gesamten Schreibphase gesperrt.

Bei einem angewählten Wort j wird die am Eingang 507 , anliegende »1« über den Inverter 505 , in eine »0« an den Anschluß 508_j des UND-Gliedes 504_j invertiert, so daß das UND-Glied 504_j , eine »0« an das ODER-Glied 503_j abgibt. Über den Eingang 531 erhält das UND-Glied 511 während der gesamten Schreibphase eine »1«. Über den Eingang 530 erhält das UND-Glied 511 eine weitere »1« während der Dauer der Schreibimpulse und eine »0« während der Schreibimpulspausen. Damit gibt das UND-Glied 511 während der Dauer der Schreibimpulse eine »1« und während der Dauer der Schreibimpulspausen eine »0« an den Eingang 506 , des UND-Gliedes 502 , ab. Nachdem der Eingang 507 , des UND-Gliedes 502 , als angewähltes Wort stets eine »1« hat, gibt somit das UND-Glied 502 , während der Dauer der Schreibimpulse eine »1« und während der Dauer der Schreibimpulspausen eine »0« an den Eingang des ODER-Gliedes 503 , ab. Der zweite Eingang dieses ODER-Gliedes weist, wie gezeigt wurde, während der Schreibdauer stets eine »0« auf. Während der Dauer der Schreibimpulse liegt somit am Ausgang des ODER-Gliedes 503 , eine »1« an, weshalb die Gatespannung U_G über den Transistor 500_{j1} am Punkt 515 anliegt. Da während der Schreibimpulspausen der Eingang 522 des NOR-Gliedes 523 eine »1« führt, weist sein Ausgang eine »0« auf, weshalb der Transistor 520 gesperrt ist. Am Punkt 515 liegt somit eine Spannung von ungefähr 25 V an, was der Gatespannung U_G entspricht. Während der Schreibimpulspausen liegt hingegen das Gate eines angewählten Wortes j über den durchgeschalteten Transistor 500_{j1} Spannungsteiler 550 an, an dessen Ausgang 551 infolge des durchgeschalteten Transistors 566 die Spannung U_{GS} die Gatespannung beim Kontrollesen während des Schreibens anliegt. Alle übrigen Transistoren, Transistoren 565 , 564 und 567 sind während der Schreibimpulspausen gesperrt.

Während des Auslesen eines angewählten Wortes j führt der Anschluß 506 , des UND-Gliedes 502 , stets eine »0«, da die Eingänge 530 und 531 des UND-Gliedes 511 stets eine »0« aufweisen, weshalb auch der Ausgang des UND-Gliedes 511 und somit der Eingang 506 , des UND-Gliedes 502 , stets eine »0« aufweist.

Das UND-Glied 502 , führt somit dem ODER-Glied

503_j , stets eine »0« zu. Durch den Inverter 505 , erhält der Eingang 508_j des UND-Gliedes 504_j , stets eine »0«, weshalb sein Ausgang dem ODER-Glied 503_j , ebenfalls stets eine »0« zuführt. Damit führt für die gesamte Auslesephase der Ausgang des ODER-Gliedes 503_j , stets eine »0«, d. h. der Transistor 500_{j2} ist stets gesperrt, während der Transistor 500_{j1} , infolge des Inverters 500_{j3} leitend ist und somit die angewählte Gateleitung mit dem Spannungsteiler 550 verbunden. Im Spannungsteiler 550 sind während der Auslesephase die Transistoren 567 , 564 und 566 gesperrt. Am Ausgang 551 des Spannungsteilers 550 liegt somit die Gate-Auslesespannung U_{GRan} .

Im Falle eines nicht angewählten Wortes k liegt der Eingang 508_k des UND-Gliedes 504_k , infolge des Inverters 505_k , auf »1«, der zweite Anschluß 509_k dieses UND-Gliedes führt ebenfalls eine »1«, da der Ausgang des ODER-Gliedes 514 infolge einer »1« an dem Eingang 518 ebenfalls eine »1« führt. Das ODER-Glied 503_k weist somit für nicht angewählte Worte stets eine »1« am Ausgang auf, weshalb der Spannungsteiler 550 von der zugehörigen Gateleitung abgetrennt ist, während an die zugehörige Gateleitung über den Transistor 500_{k2} die Spannung des Punktes 515 angelegt ist. Nachdem beide Eingänge 521 und 522 des NOR-Gliedes 523 je eine »0« führen, ergibt sich am Ausgang dieses NOR-Gliedes eine »1«. Der Transistor 520 ist somit durchgeschaltet. Die Spannung des Punktes 515 und damit auch die Spannung der nicht angewählten Gates beträgt somit ungefähr »0« V während der gesamten Auslesedauer.

Die Widerstände 571 , 572 , 573 , 574 des Spannungsteilers 550 können entweder diffundierte Widerstände sein oder Feldeffekttransistoren vom Enhancementtyp im gesättigten oder ungesättigten Zustand, oder aber sie können Feldeffekttransistoren vom Depletiontyp sein. Der Anschluß des Widerstandes 571 , der nicht mit dem Widerstand 572 verbunden ist, ist geerdet. Der Anschluß des Widerstandes 574 , der nicht mit dem Widerstand 573 verbunden ist, ist an eine Versorgungsspannung angeschlossen, welche größer ist als U_{GL} die Gatespannung beim Kontrollesen während des Löschens. Die Spannungsdifferenz $U_{GS} - U_{GL}$, das sogenannte Schreib-Lesefenster, hängt in seiner Dimensionierung von der verwendeten Speicherteknologie ab. Bei den häufigst verwendeten Speichertypen beträgt das Schreib-Lesefenster etwa 1 V bis 6 V. Die Verwendung eines Spannungsteilers wie in Fig. 4 dargestellt, garantiert sichere Abstände zwischen den verwendeten Kontrollespannungen sowohl beim Schreiben als auch beim Löschen und der Auslesespannung, so daß eine unprogrammierte Zelle sicher von einer programmierter Zelle unterschieden werden kann. Die relative Lage der Spannungen zueinander ist durch einen solchen Spannungsteiler sichergestellt. Toleranzbedingte unterschiedliche Schreib- und Löscheigenschaften der Speicherzellen innerhalb eines Speichers wirken sich nicht auf die Zuverlässigkeit beim Auslesen, sondern nur auf die Dauer des Schreib- bzw. Löschtorganges aus. Die Breite des elektrischen Fensters $U_{GS} - U_{GL}$ kann, dank des Spannungsteilers 550 , relativ klein gehalten werden, da die Zustände »0« und »1« relativ zur Auslesespannung sehr genau festgelegt sind. Dadurch dürfen entweder die Spannungen während des Programmierens niedrig sein oder die Umprogrammierung läuft besonders schnell ab. Weiterhin kann durch Verwendung des Spannungsteilers 550 das elektrische Fenster in einem bestimmten gewünschten Schwellenspannungsbereich der verwendeten Speicherzellen

hineingeschoben werden.

In Fig. 4 ist außerdem die Source-Drain-Ansteuerung 200 dargestellt für eine Split-Gate-Speicherzelle, die mit Kanalinjektion aufgeladen und mittels eines starken elektrischen Potentials zwischen Steuergate und einem Diffusionsgebiet entladen wird.

Die Drainansteuerung 220 wird für die i -te Spalte ($i = 1$ bis n) durch einen Transistor 210, und einen dazu parallelgeschalteten Transistor 209, gebildet. Der Transistor 210 ist stets durchgeschaltet und so dimensioniert, daß durch ihn stets ein kleiner Strom fließt, der zum Lesen oder Kontrolllesen ausreicht, der jedoch nicht zum Programmieren einer Zelle ausreicht. Ein UND-Glied 208, steuert mit seinem Ausgang 211, das Gate des Transistors 209, so daß der Transistor 209, Strom führt, der den Programmierstrom für eine programmierende Zelle liefert, wenn sowohl ein Dateneingang in der i -ten Zeile (D_E) erfolgt, d. h. der Eingang 213, somit eine »1« aufweist und ein Schreibimpuls erfolgt, d. h. T_S legt ebenfalls eine »1« an den Eingang 212. Die Drainspannung der i -ten Spalte beträgt, wenn vom Widerstand des Transistors 209, abgesehen wird, $U_D \approx U_D \approx 17$ V. Bei allen anderen möglichen Speichervorgängen, z. B. in den Schreibimpulspausen, während der gesamten Löschdauer und während der Auslesedauer, führt der Transistor 209, keinen Strom, so daß kein Programmierstrom in den Drainleitungen der i -ten Spalte fließen kann.

Die Source-Ansteuerung 250 für eine Split-Gate-Speicherzelle, die mit Kanalinjektion aufgeladen und mittels eines starken elektrischen Feldes zwischen Steuergate und einem Diffusionsgebiet entladen wird, ist für alle Sourceleitungen gemeinsam. Sie besteht aus einem Widerstand 256, dessen einer Anschluß mit dem Drain eines Transistors 258 verbunden ist, während der Sourceanschluß 261 des Transistors 258 auf Masse liegt und der freie Anschluß 255 des Widerstandes 256 ein Potential $U_{SS} = 25$ bis 40 V aufweist. Das Gate des Transistors 258 wird über einen Inverter 259 während der Dauer der Löschimpulse T_L angesteuert. Der Transistor 258 ist somit während der Dauer eines jeden Löschimpulses gesperrt. Am Punkt 257, an dem die Source-Spannung U_S abgegriffen wird, ergibt sich bei gesperrtem Transistor 258 somit eine Spannung $U_S \approx U_{SS} = 25$ bis 40 V. Diese relativ hohe positive Sourcespannung wird auch nur während der Löschimpulse für das in Fig. 4 gewählte Beispiel einer Speicherzelle benötigt. Bei der der Fig. 4 zugrunde gelegten Split-Gate-Speicherzelle wird während der Löschimpulse eine hohe positive Spannung am Source angelegt, während das Steuergate z. Zt. eine Spannung von 0 V aufweist. Zu allen übrigen Zeiten außerhalb der Löschimpulse ist der Transistor 258 leitend, das Potential am Punkt 257, und zugleich die Source-Spannung U_S beträgt $U_S \approx 0$ V.

Fig. 5 stellt eine Source- und Drainansteuerung für einen erfundsgemäßen Speicher dar, der aus Speicherzellen aufgebaut ist, die durch Anlegen von hohen elektrischen Feldern zwischen Steuergate und einem Diffusionsgebiet aufgeladen und entladen werden. Die Gateansteuerung erfolgt analog der Gateansteuerung nach Fig. 4.

Die Drainspannungen U_D ($i = 1$ bis n) werden über ständig durchgeschaltete Transistoren 270, mit einer Versorgungsspannung V_{DD} verbunden.

Da in dem betrachteten Ausführungsbeispiel zwischen Kanalbereich und Gate über den Sourceanschluß gelöscht und programmiert wird, ist die Sourceansteue-

rung entsprechend aufwendig. Beim Löschvorgang ist $T_S = 0$, weshalb bei der Sourceansteuerung der i -ten Spalte der Eingang 286, des UND-Gliedes 285, eine »0« aufweist. Das UND-Glied 285, weist somit am Ausgang 5 und gleichzeitig am Eingang 284, des NOR-Gliedes 281, eine »0« auf. Der zweite Eingang 283, weist während der Dauer der Löschimpulse eine »1« und sonst eine »0« auf. Damit liegt während der Dauer der Löschimpulse T_L am Ausgang 282, des NOR-Gliedes 281, eine »0« an, weshalb der Transistor 271, während der Dauer der Löschimpulse gesperrt ist, während dieser in den Löschimpulspausen durchgeschaltet ist. Während der Löschimpulspausen T_S liegt somit die Spannung des Punktes 290 über dem Widerstand 277, an den Sourceleitungen als Source-Spannung U_S an. Da $T_S = 0$ gilt, ist der Transistor 272 gesperrt und da zugleich $T_L = 0$ gilt, ist auch der Transistor 273 gesperrt. Am Punkt 290 liegt somit die Spannung $U_P = 20$ bis 40 V an. Während der Löschimpulspausen liegt hingegen, infolge des durchgeschalteten Transistors 271, eine Spannung U_S von ungefähr gleich 0 V an.

Beim Schreibvorgang wird zunächst der Zustand während der Dauer von Schreibimpulsen für eine Spalte i mit einer Zelle eines angewählten Wortes betrachtet, in die eine Information eingeschrieben werden soll, d. h.

$$T_S = 1; D_E = 1.$$

Über den Inverter 289, erhält der Eingang 287, des UND-Gliedes 285, eine »0«. Der Ausgang 284, des UND-Gliedes 285, gibt deshalb eine »0« an einen Eingang des NOR-Gliedes 281, ab. Der zweite Eingang 283, führt ebenfalls eine »0«, da $T_L = 0$ gilt. Der Ausgang 282, des NOR-Gliedes 281, führt somit eine »1« und schaltet den Transistor 271, während der Dauer der Schreibimpulse T_S durch. Die Sourcespannungen U_{Si} in deren Spalte eine Zelle eingeschrieben werden soll, betragen somit $U_S \approx 0$ V.

Auch während der Dauer der Schreibimpulspausen ist der Transistor 271, durchgeschaltet, da in diesem Falle lediglich beide Eingänge des UND-Gliedes 285, eine »0« aufweisen, wodurch das Ausgangssignal von 285, nicht geändert wird. Es gilt deshalb auch $U_S \approx 0$ V.

Bei einer Spalte k , bei der in die angewählte Zelle keine Information eingeschrieben werden soll, gilt $D_E = 0$. Wegen des Inverters 289, liegt am Eingang 287, somit stets eine »1« an. Am zweiten Eingang 286, des UND-Gliedes 285, liegt jeweils während der Dauer eines Schreibimpulses ebenfalls eine »1« an. Während der übrigen Zeiten liegt dort eine »0« an. Deshalb liegt auch während der Dauer der Schreibimpulse am Eingang 284, des ODER-Gliedes 281, stets eine »1« und sonst eine »0« an. Da während der gesamten Schreibphase $T_L = 0$ ist, führt der zweite Eingang 283, des ODER-Gliedes 281, während der Schreibphase stets eine »0«. In der Schreibphase gibt somit der Ausgang 282, des NOR-Gliedes 281, während der Schreibimpulspausen eine »1« ab, d. h. der Transistor 271, ist durchgeschaltet und das heißt wiederum die Source-Spannung $U_{Sk} = 0$ V. Während der Dauer der Schreibimpulse gibt hingegen das NOR-Glied 281, eine »0« am Ausgang 282, ab, weshalb der Transistor 271, gesperrt ist. Die Sourcespannung U_{Sk} ist in diesem Fall über den Widerstand 277, auf dem Potential des Punktes 290. Während der Dauer der Schreibimpulse, d. h. $T_S \neq 0$ ist der Transistor 272 durchgeschaltet, während der Transistor 273 infolge des zwischengeschalteten NOR-Gliedes 281 gesperrt ist. Die Spannung des Punktes 290 beträgt, da die Widerstände 274 und 275

gleich groß sind, $U_p/2$; mit $U_p \approx 20$ V bis 40 V. Damit beträgt auch die Source-Spannung U_{Sk} für eine Spalte K mit einer angewählten Zelle, in die keine Information eingeschrieben werden soll, während der Dauer der Schreibimpulse $U_{Sk} \approx U_p/2$, wenn der Spannungsabfall am Widerstand 277 vernachlässigt wird.

Während der Dauer eines Auslesevorganges sind die Dateneingänge 0, deshalb liegt über die Inverter 289; ($i = 1$ bis n) eine »1« am Eingang 287; und wegen $T_S = 0$ eine »0« am Eingang 286; des UND-Gliedes 285; an, 16 weshalb der Ausgang dieses UND-Gliedes 285; eine »0« an den Eingang 284; legt. Da gleichzeitig auch nicht gelöscht wird, liegt am zweiten Eingang 283; des NOR-Gliedes 281; ebenfalls eine »0« an, weshalb der Ausgang 282; des NOR-Gliedes 281; eine »1« auf das Gate des Transistors 271; legt. Der Transistor 271; ist somit durchgeschaltet. Die Source-Spannung beträgt somit während der Auslesephase $U_S \approx 0$ V.

Die bitweise geführten Drainleitungen liegen über die durchgeschalteten Transistoren 270; ($i = 1$ bis n) alle 20 stets auf dem gleichen Potential V_{DD} .

Abschließend wird aufgezeigt, daß die in Fig. 4 und 5 beschriebenen Gate-, Source- und Drainansteuerungen für die jeweils verwendeten Fälle die entsprechenden Lösch- bzw. Schreib- bzw. Lesebedingungen liefern. 25 Gelöscht wird bei beiden Zellentypen nach Fig. 4 und Fig. 5 jeweils dadurch, daß am Source eine hohe positive und am Gate eine Spannung von 0 V angelegt wird. Während der Dauer der Löschimpulse liegt nach Fig. 4 $U_{Ss} \approx 25$ bis 40 V als Spannung an den einzelnen bitweise geschalteten Sourceleitungen an. Im Falle von Fig. 5 liegt an den bitweise geschalteten Sourceleitungen jeweils die Spannung $U_{Si} \approx U_p \approx 20$ V bis 40 V ($i = 1$ bis n) an. An der Gateleitung eines angewählten Wortes liegt während der Dauer der Löschimpulse eine 30 Spannung von $U_{Gi} \approx 0$ V an, während an den Gateleitungen der nicht angewählten Worte eine hohe positive Spannung von $U_{Gk} \approx 25$ V anliegt. Damit wird während der Löschimpulse nur das angewählte Wort gelöscht, während die Nachbarworte nicht beeinflußt werden. In den Löschimpulspausen liegen alle Sourceleitungen der Fig. 4 und 5 auf einer Spannung von ungefähr $U_S \approx 0$ V. An der Gateleitung der angewählten Worte liegt eine relativ kleine positive Lesespannung U_{GL} an, die so klein ist, daß keine Information 45 eingeschrieben werden kann. Die Gateleitungen der nicht angewählten Worte liegen ebenfalls auf einem Potential von ungefähr $U_{Gk} \approx 0$ V. Die angewählten Worte werden damit während der Dauer der Löschimpulse gelöscht und Nachbarwortstörungen sind sicher 50 ausgeschaltet.

Während der Dauer der Schreibimpulse liegt an der Gateleitung eines angewählten Wortes eine hohe positive Spannung, z. B. 25 V an, während an den Gateleitungen der nicht angewählten Worte eine 55 Spannung von ungefähr 0 V anliegt.

Bei Zellen der Fig. 4 fließt gleichzeitig in den Spalten, in denen einzuschreibende Zelle liegt, ein hoher Kanalstrom, der zu Programmierung der Zelle ausreicht, während in denjenigen Spalten, deren angewählte Zelle keine Information erhalten soll, nur ein sehr geringer Kanalstrom fließt, der nur als Lesestrom verwendet werden kann, jedoch zum Aufladen einer Zelle nicht ausreicht. In die nicht angewählten Nachbarworte wird bei denjenigen Bits mit hohem Kanalstrom nichts eingeschrieben, da gleichzeitig die Gatespannung an den nicht angewählten Werten $U_{Gk} \approx 0$ V beträgt. Während der Schreibimpulspausen

beträgt die Gatespannung nicht angewählter Worte ungefähr 0 V, während die Gatespannung eines angewählten Wortes eine geringe positive Kontrollespannung U_{GS} aufweist. Während der Schreibimpulspausen ist ebenfalls der hohe Kanalstrom ausgeschaltet. Es fließt lediglich ein sehr kleiner Kanalstrom, der zwar zum Lesen bzw. Kontrollesen ausreicht, jedoch nicht zum Einschreiben einer Information ausreicht. Wegen der gleichzeitig unterschiedlichen Gatespannungen eines angewählten Wortes gegenüber den Gatespannungen der nicht angewählten Worte wird auch tatsächlich nur an den Zellen des angewählten Wortes gelesen.

Die Zellen eines Speichers nach Fig. 5 werden durch Anlegen einer hohen Spannung zwischen dem Steuergate und einem Diffusionsgebiet, z. B. dem Source, aufgeladen. Während eines Schreibimpulses liegt an der Gateleitung eines angewählten Wortes eine hohe positive Spannung von ungefähr 25 V bis 40 V an, während an den Gateleitungen der nicht angewählten Worte eine sehr geringe positive Spannung liegt, die zum Einschreiben einer Information in die Zelle nicht ausreicht und z. B. der Kontrollespannung beim Schreiben U_{GL} entspricht. Gleichzeitig liegt in denjenigen Spalten, in denen eine Information in die angewählte Zelle eingetragen werden soll, eine Spannung von ungefähr 0 V am Source an. Alle übrigen Sourceleitungen, in denen keine einzuschreibende Zelle liegt, weisen gleichzeitig eine positive Spannung von $1/2 U_p$ auf. Die unterschiedlichen Gatespannungen zwischen angewählten Wörtern und nicht angewählten Wörtern stellen sicher, daß in der angewählten Zelle eine Information eingeschrieben wird, während in Nachbarzellen des gleichen Bits keine Information eingeschrieben wird. Bei Bits, in denen keine Information eingeschrieben werden soll, ist das Potentialgefälle zwischen dem Gate und dem Source gerade so bemessen, daß es zum Einschreiben einer Information nicht ausreicht, z. B. $1/2 U_p$ beträgt. Dadurch wird sichergestellt, daß in allen Zellen eines Bits, deren Sourceleitungen mit $1/2 U_p$ beaufschlagt ist, tatsächlich keine Information eingeschrieben wird.

Während der Schreibimpulspausen liegt an den angewählten Gates die Kontrollespannung beim Schreiben U_{GS} an, die einer kleinen positiven Spannung entspricht. An allen Nachbargateleitungen liegt eine Spannung von ungefähr 0 V an. An allen Sourceleitungen liegt gleichzeitig eine Spannung von 0 V an und es fließt zwischen Source und Drain ein geringer Lesestrom. Damit ist sichergestellt, daß nur an den Zellen des angewählten Wortes kontrolliert gelesen wird.

Beim Auslesen liegt an dem Gate des angewählten Wortes die Auslesespannung U_{GR} an. Die Spannung nicht angewählter Worte beträgt während des Auslesezens 0 V.

Für Zellen, die mittels hoher elektrischer Felder zwischen Steuergate und einem Diffusionsgebiet, beispielsweise dem Source, aufgeladen und entladen werden, kann eine Sourceansteuerung, ähnlich wie in Fig. 5 dargestellt, entwickelt werden, die gewährleistet, daß das Potentialgefälle zwischen Steuergate und Source von nicht angewählten Zellen nur ein Drittel des Potentialgefälles beträgt, das zum Einschreiben von angewählten Zellen zwischen Steuergate und Source angelegt wird. Eine solche Modifikation der in Fig. 5 dargestellten Sourceansteuerung ließe sich durch eine geeignete Dimensionierung und Schaltung der Widerstände 274 und 275 aus Fig. 5 erreichen. Zusätzlich

28 28 855

21

mußten die Elemente 520 und 510 der Gateansteuerung abgeändert werden. Eine derartige Modifikation ließe sich aus Fig. 5 unter Anwendung der Ansteuerbedingungen, wie sie in der deutschen Anmeldung P 27 43 422.6 beschrieben sind, ableiten.

5

22

Erfnungsgemäße Speicher sind für Abstimmsspeicher in Fernsehgeräten, für Nummernspeicher in Fernsprechvermittlungsanlagen sowie für Programmspeicher von Kleinrechnern anwendbar.

Hierzu 5 Blatt Zeichnungen

FIG 2

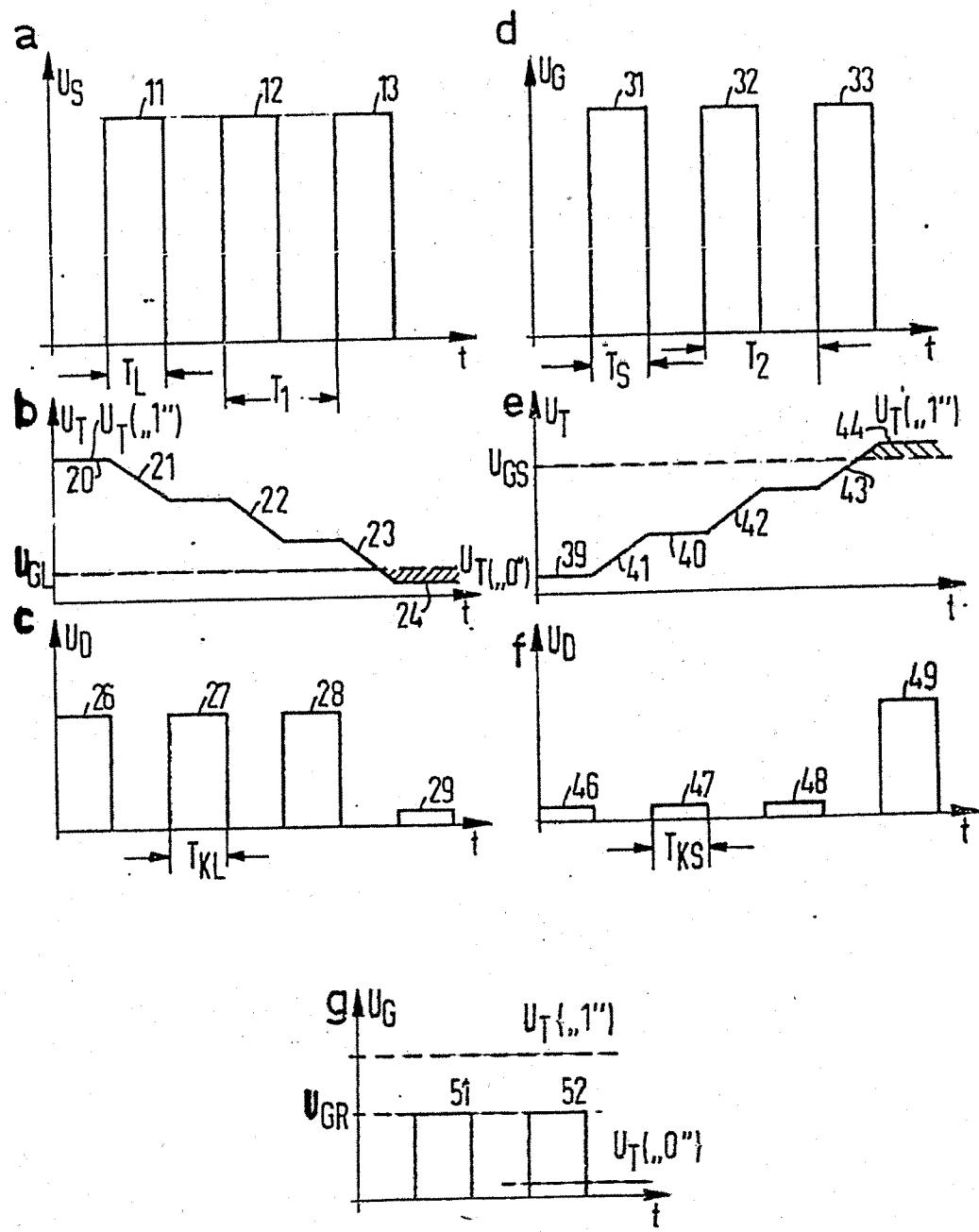


FIG 3

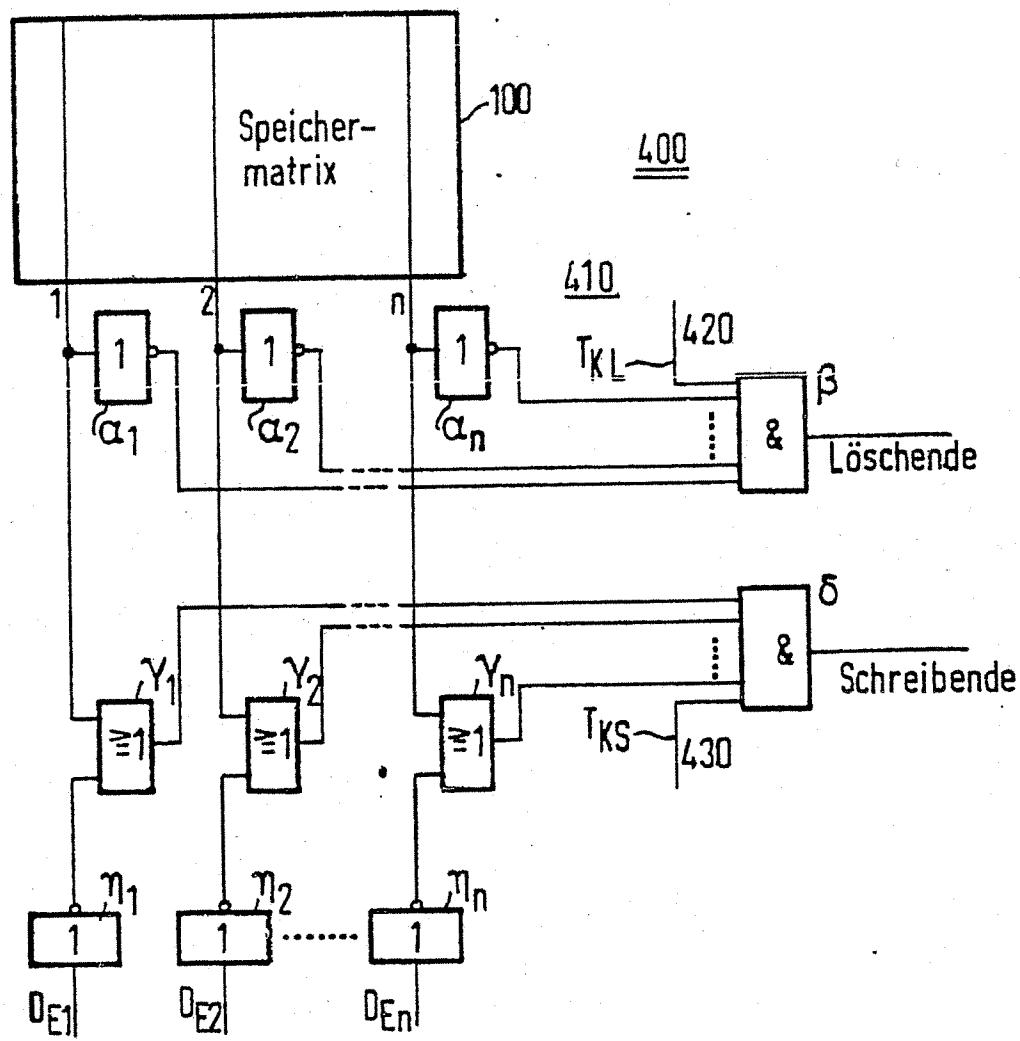
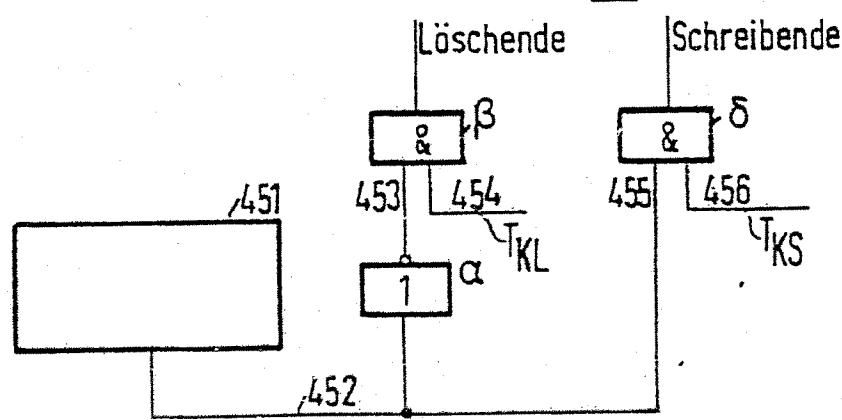


FIG 3a



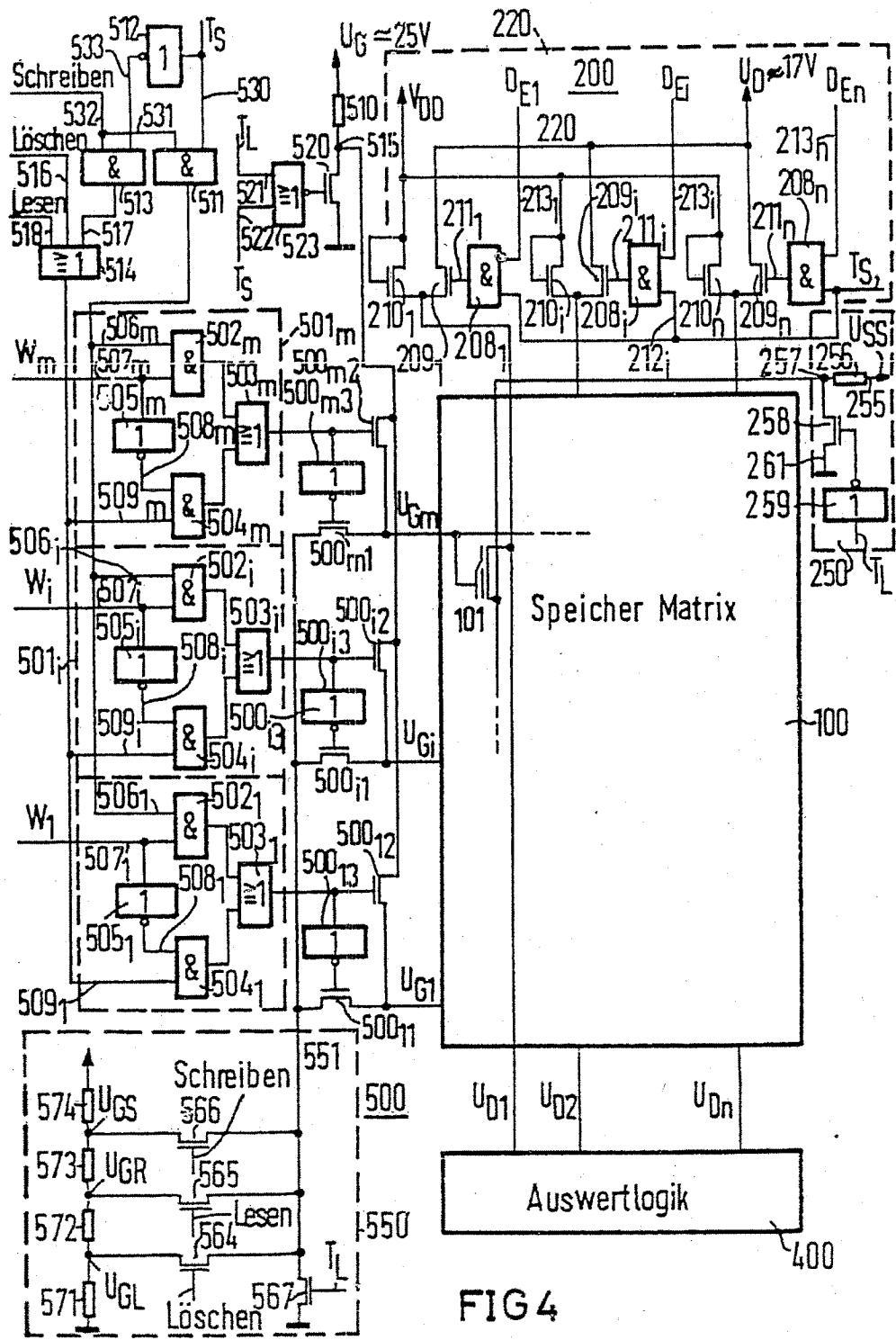


FIG 4

FIG 5

